

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
011212462 ***Image available***

WPI Acc No: 1997-190387 199717

Related WPI Acc No: 1997-190388; 1997-233573; 1997-287100; 2000-288763;
2000-288764

XRAM Acc No: C97-060857

XRPX Acc No: N97-157387

Semiconductor appts. for thin film transistor etc. - comprising heat
absorption film on substrate, semiconductor film, gate electrode and
impurity region

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K; MORIMOTO Y; SOTANI N; YAMAJI T; YONEDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9051099	A	19970218	JP 95199979	A	19950804	199717 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199837

Priority Applications (No Type Date): JP 95199979 A 19950804; JP 95167513 A
19950703; JP 95199980 A 19950804; JP 95199981 A 19950804; JP 95199982 A
19950804

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9051099	A		11 H01L-029.786	
KR 97008658	A		H01L-029.78	
US 5771110	A		H01L-029.786	

Abstract (Basic): JP 9051099 A

A semiconductor appts. comprises: (i) a heat absorption film formed
on a substrate; (ii) a semiconductor film formed on the heat absorption
film; (iii) a gate electrode formed on the semiconductor film through a
gate insulation film; and (iv) a region for impurities formed on the
semiconductor film.

USE - Used for providing a thin film transistor etc. which does not
have difference in characteristics.

Dwg.10-17

Title Terms: SEMICONDUCTOR; APPARATUS; THIN; FILM; TRANSISTOR; COMPRISE;
HEAT; ABSORB; FILM; SUBSTRATE; SEMICONDUCTOR; FILM; GATE;
ELECTRODE; IMPURE; REGION

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029.78; H01L-029.786

International Patent Class (Additional): C23F-004.00; H01L-021.26;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-51099

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/26

21/336

// C 2 3 F 4/00

H 0 1 L 29/78

C 2 3 F 4/00

H 0 1 L 21/26

29/78

6 2 6 C

A

L

6 1 2 B

6 1 6 L

審査請求 未請求 請求項の数17 O L (全 11 頁) 最終頁に続く

(21) 出願番号

特願平7-199979

(22) 出願日

平成7年(1995)8月4日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

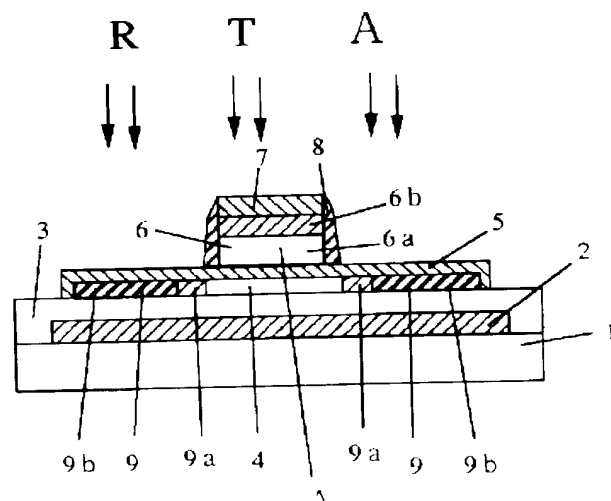
最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、表示装置及び表示装置の製造方法

(57) 【要約】

【課題】 特性にバラツキが少ない薄膜トランジスタなどの半導体装置を提供すること。

【解決手段】 ガラス基板1上にWSi₂膜2を形成し、このWSi₂膜2をパターニングし、その上をSi酸化膜3で覆い、Si酸化膜3の上に多結晶Si膜4を形成し、この多結晶Si膜4の上に、ゲート絶縁膜5を介してゲート電極6を形成し、多結晶Si膜4に、ソース・ドレイン領域9となる不純物領域を形成し、この不純物領域をRTA法により熱処理して活性化する。WSi₂膜2は、RTAの熱を吸収する作用があり、多結晶Si膜4を、RTAによる熱とWSi₂膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶Si膜4の不純物の活性化がバラ



い、高温下で堆積させるという比較的簡単な工程である。

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。多結晶シリコンTFTの製造方法の

【0006】工程A（図16参照）：絶縁基板（例えば石英ガラス）51上に、通常の減圧CVD法を用いて非晶質シリコン膜を形成し、更に、窒素（N₂）雰囲気中、温度900℃程度で熱処理を行うことにより、前記非晶質シリコン膜を固相成長させて多結晶シリコン膜52を形成する。前記多結晶シリコン膜52を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、R1E法によるドライエッチング技術により前記多結晶シリコン膜52を所定形状に加工する。

【0007】前記多結晶シリコン膜52の上に、減圧CVD法を用いて、ゲート絶縁膜53としてのシリコン酸化物膜を堆積する。

工程 B (図 17 参照) : 前記ゲート絶縁膜 53 上に、減圧 CVD 法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0008】次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜54を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜54を所定形状に加工する。前記多結晶シリコン膜はゲート電極55として使用する。次に、自己整合技術により、ゲート電極55及びシリコン酸化膜54をマスクとして、多結晶シリコン膜52に不純物を注入し、ソースドレイン領域56を形成する。

【0009】最後に、更に熱処理を行って、ソースドレイン領域56としての不純物を活性化させる。このような方法は、固相成長や不純物活性化の時に900℃程度の高い温度を使用することから、高温プロセスと呼ばれる。耐熱性の高い基板（例えば、石英基板）を用いた場合には、処理時間が短いという利点がある。

【0 0 1 0】一方では、基板に熱歪みが生じる心配がなく、比較的安価なガラス基板を用いることのできる低温プロセスを用いた開発も盛んである。特に、駆動電圧ハイムであるTFT-THにおいては、高性能化が必用であり、これまでには、有機材料、無機材料、有機・無機複合材料、有機

行うことができる。

【0 0 1 2】

【発明が解決しようとする課題】レーザーアニール法は、ビーム走査を何度も繰り返して行う必要があるため、近接加工プロセスに時間がかかるという問題がある。

一方、RTA法は、不純物領域が形成された半導体膜の温度上昇が不均一になって、活性化が良好に行われにくく、素子特性が劣化する問題がある。また、素子を多数製造した場合に、個々の素子の特性にバラツキが生じる問題がある。

【0013】特に、画素駆動用素子や周辺駆動回路用素子として、この素子を数十〜数百万個も使用する液晶ディスプレイなどの表示装置にあっては、素子特性のバラツキによって、表示が良好に行われない問題がある。本発明は、半導体装置、表示装置及びこれらの製造方法に関し、斯かる問題点を解決するものである。

【 () () 1 4 】

【課題を解決するための手段】請求項1の半導体装置にあっては、基板上に形成された熱吸収膜と、この熱吸収膜の上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備したものである。

【0015】また、請求項2の半導体装置にあっては、前記熱吸収膜と半導体膜との間に絶縁膜を形成したものである。また、請求項3の半導体装置にあっては、前記熱吸収膜を前記半導体膜にほぼ対応して設けたものである。また、請求項4の半導体装置にあっては、前記熱吸収膜として、金属などの導電物質又はシリコンなどの半導体物質を用いたものである。

【0016】また、請求項5の半導体装置にあっては、前記熱吸収膜が遮光性を有するものである。また、請求項6の半導体装置にあっては、前記基板として透明基板を用いたものである。また、請求項7の表示装置にあっては、請求項1乃至6のいずれか1項に記載の半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子としてとして用いるものである。

【0017】また、請求項8の半導体装置の製造方法においては、基板上に、熱吸収膜を含して、トランジスタの能動層としての半導体膜を設け、この半導体膜に設けられた不純物領域をを熱処理して活性化したものである。また、請求項9の半導体装置の製造方法においては、透明基板上に熱吸収膜を形成する工程と、この熱吸収膜の上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を含してゲート電極を形成する工程

【00018】主位、副位項上、 π 電子配置の表示方法、
にあつては、法明位軌上に熱吸収膜を形成する工程と、
その熱吸収膜を酸化処理に加工する工程と、前記熱吸収

層を絶縁膜で覆う工程と、前記絶縁膜の上にトランジスタの能動層としての半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域を熱処理して活性化する工程とを含むものである。

【0019】また、請求項11の半導体装置の製造方法にあっては、前記半導体膜が、非晶質シリコン膜を熱処理して多結晶化したものである。また、請求項12の半導体装置の製造方法にあっては、前記熱処理に、レーザーアニール法を用いたものである。また、請求項13の半導体装置の製造方法にあっては、前記熱吸収膜として、金属などの導電物質又はシリコンなどの半導体物質を用いたものである。

【0020】また、請求項14の半導体装置の製造方法にあっては、前記熱吸収膜が遮光性を有するものである。また、請求項15の半導体装置の製造方法にあっては、前記熱処理としてRTA法を用いるものである。また、請求項16の半導体装置の製造方法にあっては、前記RTA法の熱源としてキセノンアークランプを用いたものである。

【0021】また、請求項17の表示装置の製造方法にあっては、請求項8乃至16のいずれか1項に記載の半導体装置の製造方法によって製造した半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子として用いるものである。即ち、熱吸収膜は、熱を吸収し、吸収した熱を放出する機能を有するので、請求項1乃至6の発明によれば、熱吸収膜の存在により、不純物領域の活性化状態が均一な半導体装置を得ることができる。

【0022】特に、請求項3の発明によれば、熱吸収膜を半導体膜ほぼ対応する大きさとしたので、熱吸収膜の機能を必要な部分に的確に作用させ、その他の部分（例えば基板）に熱による悪影響を与えない。また、請求項1の発明によれば、熱吸収膜が導電物質又は半導体物質であるので、基板内に存在するイオンを静電的にシールドする。

【0023】また、請求項4の発明によれば、熱吸収層が遮光性を有するので、これをLCDなどの表示装置に用いた場合、半導体装置に直接入る光の量を減少させることができる。また、請求項7の発明によれば、均一で且つ優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いた優れた表示装置を得ることが

ので、これをLCDなどの表示装置に用いた場合、半導体装置に直接入る光の量を減少させることができる。

【0025】また、請求項15の発明によれば、RTA法を用いることにより、短時間で且つ基板に影響を与えない不純物の活性化を行う。また、請求項16の発明によれば、RTA法の熱源としてキセノンアークランプを用いたので、熱吸収層による熱吸収が効率的に行われる。また、請求項17の発明によれば、短時間で製造された均一で且つ優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いることにより、優れた表示装置を短時間で製造することができる。

【0026】

【発明の実施の形態】本発明を具体化した一実施形態を図1乃至図10に従って説明する。

工程1（図1参照）：石英ガラスや無アルカリガラスなどの基板1上に、スパッタ法を用いて、タンゲステンシリサイド（ WSi_x ）膜2（膜厚1000Å、但し50～2000Åの範囲で調整可能である）を形成する。スパッタ法では、 WSi_x の合金ターゲットを使用する。 WSi_x の化学量論的組成は $x=2$ であるが、合金ターゲットの組成は $x>2$ に設定する。これは WSi_x 膜2の組成が $x=2$ に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、 WSi_x 膜2にクラックが発生したり、剥離したりする恐れがあるためである。但し、 WSi_x の抵抗値は $x=2$ の場合に最も低くなるため、クラックや剥離が生じない程度に x の上限を設定する必要がある。

【0027】工程2（図2参照）：前記 WSi_x 膜2を、リソグラフィ技術、エッチング技術を用いて、後述するトランジスタの能動層としての多結晶シリコンと同じパターンに加工する。

工程3（図3参照）：前記基板1及び WSi_x 膜2を覆うように、 SiO_2 や Si_3N_4 などの絶縁性薄膜3をCVD法やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に窒素又は高圧CVD法により、形成温度350℃で、膜厚3000～5000Åの SiO_2 膜を形成する。

【0028】この SiO_2 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの SiO_2 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合が最も適している。また、

【0029】また、請求項5の発明によれば、熱吸収膜が導電物質又は半導体物質であるので、基板内に存在するイオンを静電的にシールドする。また、請求項6の発明によれば、熱吸収膜が遮光性を有する

【0030】また、請求項7の発明によれば、均一で且つ優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いた優れた表示装置を得ることが

【0031】工程4（図4参照）：前記絶縁性薄膜3の

上に、非晶質シリコン膜4a(膜厚500Å)を形成する。この非晶質シリコン膜4aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜4aの膜厚は、400~800Åの範囲が適切で、500~700Åにしたときに特性が良好で、その中でも500~600Åの場合がもっとも適している。

【0030】前記非晶質シリコン膜4aの形成方法には以下のものがある。

1. 減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン(SiH_4)又はジシラン(Si_2H_6)の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。そして、550~620℃では微結晶を含む非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質シリコン膜4a中の微結晶の量を調整することができる。

【0031】2. プラズマCVD法を用いる方法：プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でモノシランまたはジシランの熱分解を用いる。実際の工程では、前記1の方法を採用し、使用ガス：モノシラン、温度：350℃の条件で、微結晶を含まない非晶質シリコン膜を形成している。

工程5(図5参照)：前記非晶質シリコン膜4aの表面に波長 $\lambda=248\text{nm}$ のKrFエキシマレーザービームを走査してアニール処理を行い、非晶質シリコン膜4aを熔融再結晶化して、多結晶シリコン薄膜4を形成する。

【0032】この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}\text{Pa}$ 以下、基板温度：室温~600℃、照射エネルギー密度： $100 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度： $1 \sim 10\text{mm}/\text{s}$ (実際には、 $0.1 \sim 100\text{mm}/\text{s}$ の範囲の速度で走査可能)である。前記レーザービームとしては、波長 $\lambda=308\text{nm}$ のXeClエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}\text{Pa}$ 以下、基板温度：室温~600℃、照射エネルギー密度： $100 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度： $1 \sim 10\text{mm}/\text{s}$ (実際には、 $0.1 \sim 100\text{mm}/\text{s}$ の範囲の速度で走査可能)である。

【0033】また、波長 $\lambda=193\text{nm}$ のArFエキシマレーザーを用いてもよい。

また、この走査速度は、 $1 \sim 10\text{mm}/\text{s}$ の範囲の速度で走査可能である。また、この照射エネルギー密度は、 $100 \sim 500\text{mJ}/\text{cm}^2$ の範囲のエネルギー密度である。また、この照射回数は、 $1 \sim 10$ 回の範囲の照射回数である。

に、エネルギー密度を調整すればよい。

【0034】本実施例では、このエキシマレーザーアニールに、高スループットレーザー照射法を用いる。即ち、図14において、101はKrFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0035】このような構成において、高スループットレーザー照射法とは、レーザービーム制御光学系103によってシート4(150mm×0.5mm)に加工されたレーザービームを、複数ハルスの重ね合わせにより照射する方法で、ステージ走査とハルスレーザー照射を完全に同期させ、きわめて高精度な重複でレーザーを照射することによりスループットを高めるものである。

【0036】工程6(図6参照)：前記多結晶シリコン膜4を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、R1E法によるドライエッチング技術により前記多結晶シリコン膜4を所定形状に加工する。そして、前記多結晶シリコン膜4の上に、ロードロック式減圧CVD装置を用いた減圧CVD法により、ゲート絶縁膜としてのLT膜(Low Temperature Oxide：シリコン酸化膜)5(膜厚1000Å)を形成する。

【0037】工程7(図7参照)：前記ゲート絶縁膜5の上に、減圧CVD法により非晶質シリコン膜(膜厚2000Å)6aを堆積する。この非晶質シリコン膜6aは、その形成時に不純物(N型ならヒ素やリン、P型ならホロン)がドーピングされているが、ノンドーピング状態で堆積し、その後不純物を注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜6aの上にタンゲステンシリサイド(WSi_x)膜6b(膜厚1000Å)を形成する。

【0038】そして、常圧CVD法により、前記WSi膜6bの上にシリコン酸化膜7を堆積した後、フォトリソグラフィ技術、R1E法によるドライエッチング技術を用いて、前記多結晶シリコン膜4a、WSi膜6b及びシリコン酸化膜7を所定形状に加工する。前記非晶質シリコン膜6aは、前記WSi膜6bとともにポリサイド構造のゲート電極6として使用する。

【0039】工程8(図8参照)：前記ゲート絶縁膜5及びシリコン酸化膜7の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックす

る。このエッチバックは、 $100 \sim 500\text{mJ}/\text{cm}^2$ のエネルギー密度で、 $1 \sim 10\text{mm}/\text{s}$ の速度で走査可能である。また、この照射回数は、 $1 \sim 10$ 回の範囲の照射回数である。

【0040】工程9(図9参照)：前記サイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧：80KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件で、リン(P)イオンを不純物として注入し、高濃度の不純物領域9bを形成することにより、LCD(dlightly Doped Drain)構造のソース・ドレイン領域9を形成する。

【0041】工程10(図10参照)：この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行う。即ち、図15において、105はシート状のアニール光を発生する光源であり、キセノン(Xe)アークランプ106とそれを包む反射鏡107を1組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのローラー、110は予熱用のプリヒーター、111は加熱後の基板が急激に冷却されてひび割れしないようにするための補助ヒーターである。

【0042】このような構成において、基板1をプリヒーター106で予熱した後、シート状のアニール光源105を通して、熱処理する。この時のRTAの条件は、熱源：Xeアークランプ、温度：700～950℃(パイロメータ)、雰囲気：N₂、時間：1～3秒である。RTA法による加熱は、高温を用いるが、きわめて短時間で終わることができるので、基板1が変形する心配はない。

【0043】尚、基板1に対し、急激に高い温度を加えることが心配な場合は、RTAを複数回に分けて行ってもよい。即ち、各回の時間は1～3秒とし、回を重ねる毎に温度を、初回：400℃～最終回：700～950℃というように段階的に上昇させる。前記Xeアークランプの光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、(ゲート)配線の低抵抗化や不純物の活性化に適している。また、後述するようにWシリサイド膜2を用いた加熱も有効に行うことができる。

【0044】そして、この急速加熱により、前記ソース・ドレイン領域9の不純物が活性化するとともに前記非晶質シリコン膜6aが多結晶化され、更には、この多結晶シリコン膜6aとWシリサイド膜6bとによるポリサイド構造のゲート電極6のシート抵抗が、約20～22(Ω)以下にまで下がる。また、活性化処理を行ったソース・ドレイン領域6のシート抵抗も、n型で1～1.5k(Ω)以下、p型で1～1.5k(Ω)以下に下がる。

【0045】次に、図16(a)～(c)に示すように、任意の形状の

によっても前記多結晶シリコン膜4の不純物の活性化が行われる。即ち、多結晶シリコン膜4を、Xeアークランプによる熱とWシリサイド膜2からの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜4全体を均一に加熱し、活性化がハラツクこととなり良好に行われるようにする。

【0046】Wシリサイド膜2の大きさは、基本的に、多結晶シリコン膜4と同じか又はそれ以上であればよいが、面内でのパターンの大きさに対応した面積となるように調整すれば、なお好ましい。即ち、集積化半導体デバイスでは、パターンの疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、場所によって単位面積当りの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜2が集中する場所での温度が非常に高くなって基板1が変形する場合がある。

【0047】そこで、下層に配置した熱吸収膜の単位面積当りの密度を、その上層に形成されるパターンに係わらずほぼ一定となるようにすれば、RTAで活性化するときの温度分布の偏りを解消することができる。具体的にドライハー一体型のLCDパネルでは、ドライハ部に比べて画素部のトランジスタの密度が高いため、ドライハ部のトランジスタに対応するWシリサイド膜2の大きさを、画素部のそれに比べて大きくしてやることで、基板1全体の温度分布がほぼ均一になる。

【0048】LCDパネルにあっては、回路の面積の約10%がWシリサイド膜2となるように調整することが好ましい。この工程により、多結晶シリコンTFT(TFT:Thin Film Transistor)(A)が形成される。次に、上記のように製造された多結晶シリコンTFT(A)を画素駆動素子として用いた透過型構成をとるLCDの画素部の構成を図11に基づいて説明する。

【0049】工程11：層間絶縁膜11の形成に先立ち、スパッタ法により、前記基板1の画素部領域上にITO(Indium Tin Oxide)からなる補助容量の蓄積電極12を形成する。

工程12：デバイスの全面に絶縁膜13を形成する。絶縁膜13の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法又はPVD法が用いられる。

【0050】次に、絶縁膜13にソース・ドレイン電極14とコネクタするためのコンタクトホールを形成し、スパッタ法により、そのコンタクトホールを含むデバイス全面にITO膜を形成し、そのITO膜をパタ

【0051】次に、図16(a)～(c)に示すように、任意の形状の基板1上を相対向させ、各基板1上1100に放射面を封入して絶縁層18を形成する。その結果、LCDの画素部が完成する。

【0052】次に、図16(a)～(c)に示すように、任意の形状の基板1上を相対向させ、各基板1上1100に放射面を封入して絶縁層18を形成する。その結果、LCDの画素部が完成する。

【0051】次に、図12に本実施例におけるアクティブマトリクス方式LCDのブロック構成図を示す。画素部19には各走査線（ゲート配線） $G1 \cdots Gn, Gn+1 \cdots Gm$ と各データ線（ドレイン配線） $D1 \cdots Dn, Dn+1 \cdots Dm$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素20が設けられている。そして、各ゲート配線は、ゲートドライバ21に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドレイン配線は、ドレインドライバ（データドライバ）22に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ21、22によって周辺駆動回路23が構成されている。

【0052】そして、各ドライバ21、22のうち少なくともいずれか一方を画素部19と同一基板上に形成したLCDは、一般にドライバ一体型（ドライバ内蔵型）LCDと呼ばれている。尚、ゲートドライバ21が、画素部19の両端に設けられている場合もある。また、ドレインドライバ22が、画素部19の両側に設けられている場合もある。

【0053】この周辺駆動回路23のスイッチング用素子にも前記多結晶シリコンTFT（A）と同等の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT（A）の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路23用の多結晶シリコンTFTは、LDD構造ではなく、通常のシングルドレイン構造を採用している（もちろん、LDD構造であってもよい）。

【0054】また、この周辺駆動回路23の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ21、22としての寸法の縮小化を実現している。図13にゲート配線 Gn とドレイン配線 Dn との直交部分に設けられている画素20の等価回路を示す。画素20は、画素駆動素子としてのTFT（前記薄膜トランジスタAと同様）、液晶セルLC、補助容量CSから構成される。ゲート配線 Gn にはTFTのゲートが接続され、ドレイン配線 Dn にはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量又は付加容量）CSとが接続されている。

【0055】この液晶セルLCと補助容量CSとにより、信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧 V_{com} が印加されており、一方、液晶セルLCの表示電極（画素電極）は、液晶セルLCの表示電極と共通電極との間に静電容量が形成されている。尚、補助容量CSにおいて、液晶セルLCの表示電極と共通電極との間に静電容量が形成されている。

ゲート配線 $Gn+1$ と接続されている場合もある。

【0056】このように構成された画素20において、ゲート配線 Gn を正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線 Dn に印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線 Gn を負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線 Dn に印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素20へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素20に任意のデータ信号を保持させておくことができる。その画素20の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0057】ここで、画素20の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部19の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLC及び補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0058】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。以上、本実施形態により製造した多結晶シリコンTFTにあっては、いわゆる低温プロセスで行うことができ、しかも、良質の多結晶シリコン膜を能動層として使用している。

【0059】本発明者の実験によれば、 n チャネルのMOS型多結晶シリコンTFTでの移動度 μ_n が $200 \text{ cm}^2/\text{V} \cdot \text{S}$ 以上、 p チャネルのMOS型多結晶シリコンTFTでの移動度 μ_p が $150 \text{ cm}^2/\text{V} \cdot \text{S}$ 以上とし、高い性能のトランジスタを実現できることが分かった。このような高性能TFTにあっては、例えば、 $\mu_n = 50 \text{ cm}^2/\text{V} \cdot \text{S}$ 、 $\mu_p = 20 \text{ cm}^2/\text{V} \cdot \text{S}$ が要求されるNTSCテレビ信号表示用LCDパネルにも十分に適用可能であり、 $\mu_n = 50 \text{ cm}^2/\text{V} \cdot \text{S}$ 、 $\mu_p = 20 \text{ cm}^2/\text{V} \cdot \text{S}$ 、しきい値電圧： 2 V （ n チャネル）、 -2 V （ p チャネル）、 S 値（sub-threshold sw

ここで、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、液晶セルLCの表示電極と共通電極との間に静電容量が形成されている。

ここで、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、液晶セルLCの表示電極と共通電極との間に静電容量が形成されている。

1/8以下のサイズ($W_{11}=8.5\mu\text{m}$)に縮小することができる。更には、高品質の能動層であるので、トランジスタのOFF時のリーク電流も少なく、そのぶん補助容量の面積も1/3以下に縮小することができる。

【0061】具体的には、サイズ2、4型で、画素ピッチ:50.0(H) $\mu\text{m}\times$ 150.0(V) μm 、画素数:23万ドット($320\times3(\text{RGB})\times240$)と、従来型のパネルに比べて3倍以上の高密度画素を有しながらも、55型という高開口率(従来比:1.5倍)のものを得ることができ、高輝度化を実現できる。以上の実施形態は以下のように変更してもよく、その場合でも同様の作用、効果を得ることができる。

【0062】1) Wシリサイド膜2に代えて、非結晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドーピングされていてもよい。このように、導電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、TFTを、LSIに用いられるMOSトランジスタのように4端子デバイスとして動作させて、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位によるTFTへの悪影響を防止することができる。

【0063】2) Wシリサイド膜2に代えて、 MoSi_2 、 TiSi_2 、 TaSi_2 、 CoSi_2 などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には(約450℃以下)、AlやAuなどのいわゆる低融点金属を用いてもよい。Wシリサイド膜も含めて、これらの金属膜は、光を通さない性質を有しているため、以下の通りの効果を有する。

【0064】a) 光の散乱を防止すると共に液晶セルに光めから入ろうとする不要な光を遮るので、LCDデバイスとしてコントラストが高くなる。

b) TFTに入ろうとする光を遮るので、光によるリーク電流を減少させてTFTとしての特性を向上させると共に光によるTFT自身の劣化を防止する。

【0065】3) 工程4において、非晶質シリコン膜を減圧CVD法により、例えば、モノシランガスを、温度580℃で堆積させる。これにより、非晶質シリコン膜4aは微結晶を含んだ膜となる。微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、TFTの移動度、つまり、TFTの移動度は若干低下する

て形成する。

5) 多結晶シリコン膜4のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTのしきい値電圧(V_{th})を制御する。固相成長法で形成した多結晶シリコンTFTにおいては、Nチャネルトランジスタではディプレッション方向にしきい値電圧がシフトし、Pチャネルトランジスタではエンハンスメント方向にしきい値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきい値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングすればよい。

【0067】6) 前記工程5に代えて以下の工程を行う。

工程5a: 電気炉により、窒素(N_2)雰囲気中、温度600℃程度で約20時間の熱処理を行うことにより、前記非晶質シリコン膜4aを固相成長させて多結晶シリコン膜4を形成する。

7) 工程5aで形成したこの多結晶シリコン膜4は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残っている可能性があり、リーク電流が多くなる危険がある。

【0068】そこで、工程5aの後、基板1をRTA法又はレーザーアニール法により急速加熱し、多結晶シリコン膜2の膜質を改善する。

8) 工程1や工程7において、スパッタ法以外のPVD方法(真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスターイオンビーム法など)を用いて、Wシリサイド膜2、6bを形成する。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi_x)の組成を $x>2$ に設定する。

【0069】9) 工程1や工程7において、CVD法を用いてWシリサイド膜2、6bを形成する。そのソースガスとしては、六フッ化タンゲステン(WF_6)とシラン(SiH_4)を用いられたい。成膜温度は、350~450℃前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi_x)の組成を $x>2$ に設定する。CVD法はPVD法に比べ、段差被覆性が優れているため、Wシリサイド膜の膜厚をより均一にすることができる。

【0070】10) フレーザ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコンTFTに適用する。

11) 多結晶シリコンTFTだけでなく、絶縁ゲート型

トランジスタにも適用可能である。

12) 法: 蒸着法、CVD法、蒸着法、E-Beam(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法などあらゆる方法により形成される。この方法には、

13) 法:

14) 法: なるような結晶シリコン膜を形成する。半導体表面は適用する。

【0071】

【発明の効果】本発明にあつては、以下の通りの優れた効果を奏する。

1) 熱吸収膜の存在により、不純物領域の活性化状態が均一で優れた品質の半導体装置を得ることができる。

2) 良質な半導体膜を有する半導体装置を短時間で得ることができる。

【0072】3) 特性が均一で且つ優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いることにより、表示性能に優れたLCDデバイスなどの表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図2】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図3】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図4】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図5】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図6】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図7】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図8】本発明を具体化した一実施例の製造工程を説明

するための断面図である。

【図9】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図10】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図11】LCDの画素部の製造方法を説明するための概略断面図である。

【図12】アクティブマトリクス方式LCDのブロック構成図である。

【図13】画素の等価回路図である。

【図14】エキシマレーザーアニール装置の構成図である。

【図15】RTA装置の構成図である。

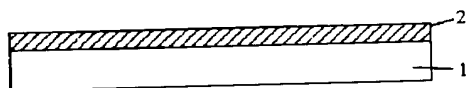
【図16】従来例の製造工程を説明するための断面図である。

【図17】従来例の製造工程を説明するための断面図である。

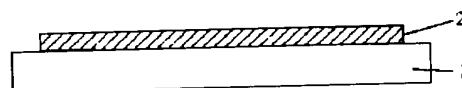
【符号の説明】

- 1 絶縁基板
- 2 Wシリサイド膜（熱吸収膜）
- 3 絶縁性薄膜（絶縁膜）
- 4 多結晶シリコン膜（半導体膜）
- 5 LTO膜（ゲート絶縁膜）
- 6 ゲート電極
- 9 不純物領域

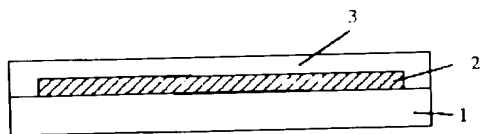
【図1】



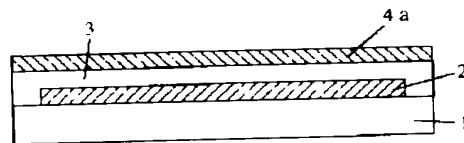
【図2】



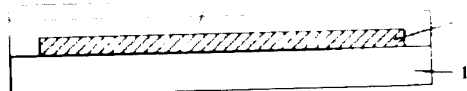
【図3】



【図4】



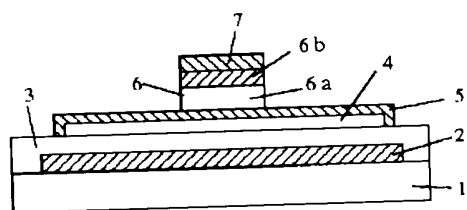
【図5】



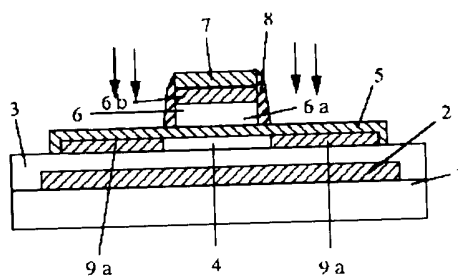
【図6】



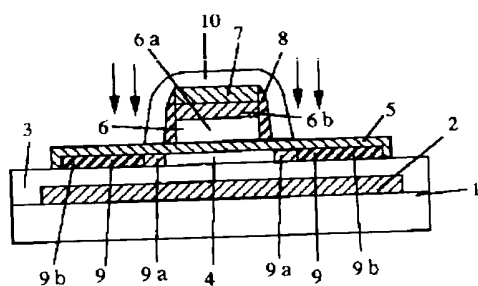
【図7】



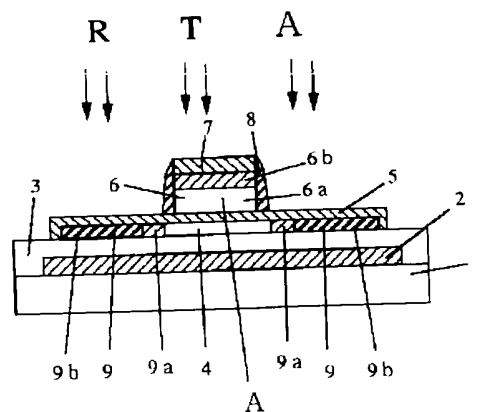
【図8】



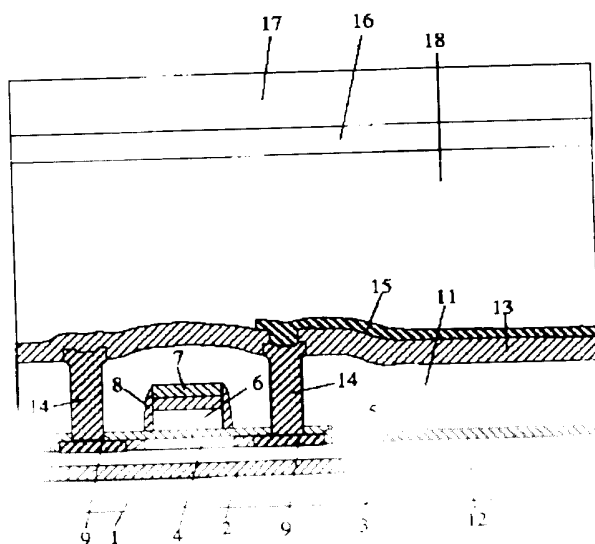
【図9】



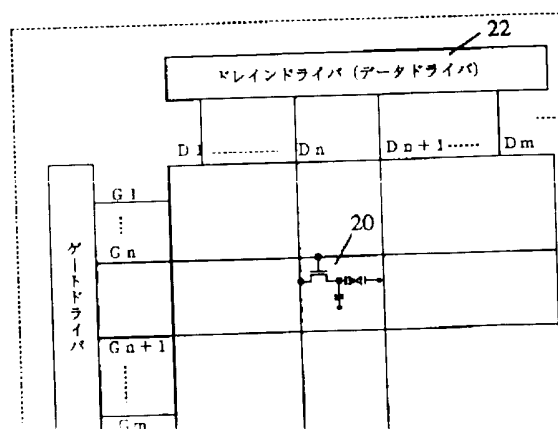
【図10】



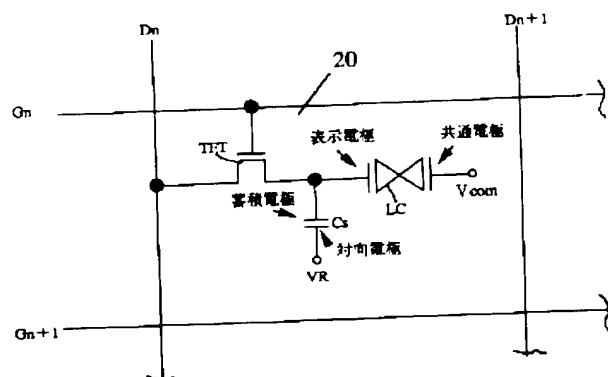
【図11】



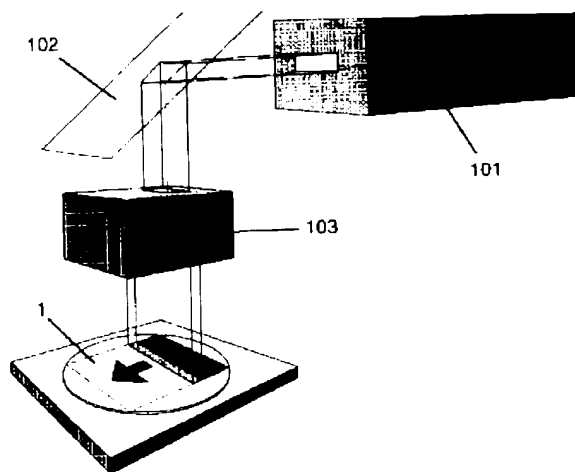
【図12】



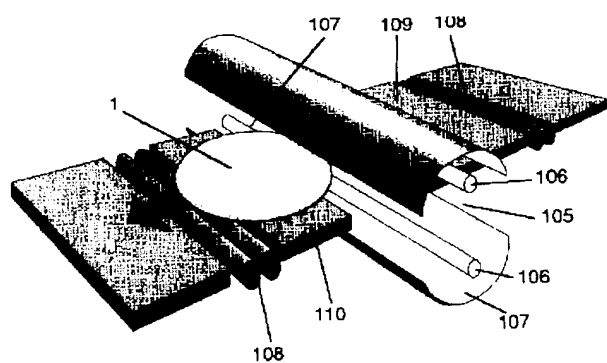
【図13】



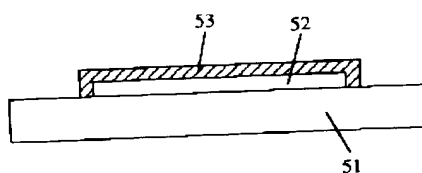
【図14】



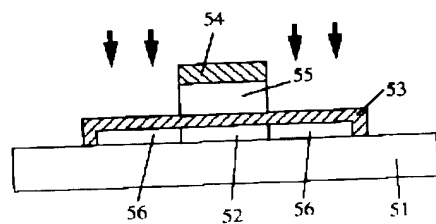
【図15】



【図16】



【図17】



フロントページの続き

(51) Int. Cl. 6

識別記号

序内整理番号

F 1

H 0 1 L 29/78

技術表示箇所

6 2 7 G

特許庁長官

特許庁長官